

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246684

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01S 5/042

H01S 5/227

(21)Application number : 2001-039252

(71)Applicant : FUJITSU QUANTUM DEVICES LTD

(22)Date of filing : 15.02.2001

(72)Inventor : WATANABE TAKAYUKI
MICHITSUTA TSUTOMU
HASEGAWA TARO
FUJII TAKUYA

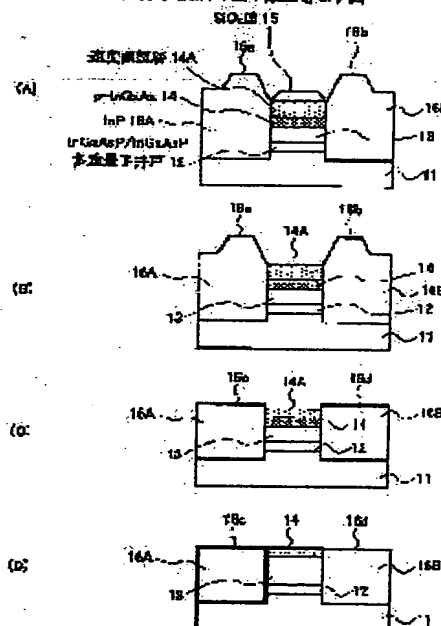
(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To flatten an InP embedding layer and a III-V compound semiconductor layer by a simple wet etching process in a structure where the InP embedding layer is formed by selective growth by using an insulating film pattern on mesa structure for a selective growth mask in adjacent to a mesa structure including the III-V compound semiconductor layer having composition which includes In and is different from InP.

SOLUTION: In the mesa structure, the III-V compound semiconductor layer including In is arranged on the III-V compound semiconductor layer as a speed adjusting layer. When the InP embedding layer is flattened and the speed adjusting layer is etched by using etchant constituted of aqueous solution including hydrochloric acid and acetic acid, the composition of etchant is selected by considering the etching speed of the InP embedding layer and the etching speed of the speed adjusting layer.

(A)~(D)は本発明による半導体装置の製造方法における第1の基本形態を示す図



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-246684
(P2002-246684A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 S 5/042 5/227	6 1 0	H 0 1 S 5/042 5/227	5 F 0 7 3

審査請求 有 請求項の数19 O L (全 24 頁)

(21) 出願番号 特願2001-39252(P2001-39252)
(22) 出願日 平成13年2月15日 (2001.2.15)

(71) 出願人 000154325
富士通量子デバイス株式会社
山梨県中巨摩郡昭和町大字紙漣阿原1000番地
(72) 発明者 渡辺 孝幸
山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内
(72) 発明者 道蔭 務
山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内
(74) 代理人 100070150
弁理士 伊東 忠彦

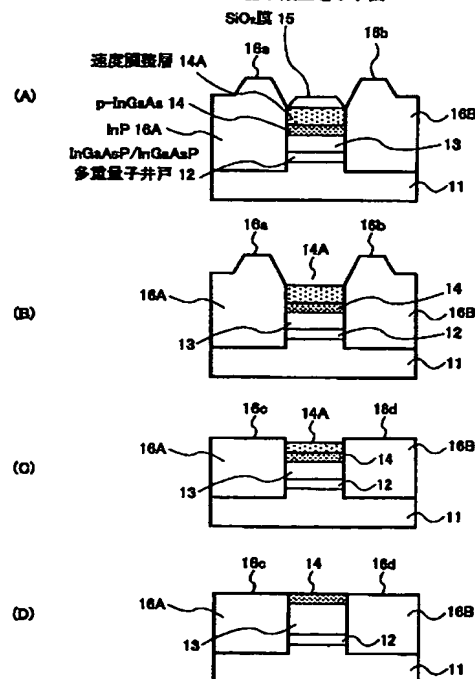
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 Inを含みInPとは異なる組成のIII-V族化合物半導体層を含むメサ構造に隣接して、前記メサ構造上の絶縁膜パターンを選択成長マスクに使用してInP埋込層を選択成長により形成した構造において、前記InP埋込層と前記III-V族化合物半導体層とを簡単なウェットエッチング工程により平坦化する。
【解決手段】 前記メサ構造中、前記III-V族化合物半導体層上に、Inを含むIII-V族化合物半導体層を速度調整層として設け、塩酸と酢酸とを含む水溶液よりなるエッチャントを使い、前記InP埋込層の平坦化および前記速度調整層のエッチングの際に、前記エッチャントの組成を、前記InP埋込層のエッチング速度および前記速度調整層のエッチング速度を勘案して選択する。

(A) ~ (D) は本発明による半導体装置の製造方法における第1の基本類型を示す図



【特許請求の範囲】

【請求項1】 InPと異なる組成を有しInを含む第1のIII-V族化合物半導体層上に、Inを含む第2のIII-V族化合物半導体層を形成し、前記第1のII-V族化合物半導体層と前記第2のIII-V族化合物半導体層とよりなる積層構造を形成する工程と、前記積層構造に隣接してInP層を成長し、InPよりなる段差構造を形成する工程と、前記段差構造および前記第2のIII-V族化合物半導体層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを適用し、少なくとも前記第2のII-V族化合物半導体層を除去するウェットエッチング工程を特徴とする半導体装置の製造方法。

【請求項2】 前記エッチャントは、さらに水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度と前記第2のIII-V族化合物半導体層のエッチング速度とが実質的に等しくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記積層構造を形成する工程は、前記第2のIII-V族化合物半導体層の厚さが、前記エッチャントによるInP層のエッチング速度と前記エッチング時間との積に実質的に等しくなるように実行されることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項6】 前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記第2のIII-V族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程におけるInP層のエッチング速度 V_3 と前記第2のIII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式

$(V_2 - V_1) \times T_1 = (V_3 - V_4) \times T_2$ が成立するように決定されることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】 前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項9】 前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記第2のIII-V族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程におけるInP層のエッチング速度 V_3 と前記第2のIII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式
 $(V_1 - V_2) \times T_1 = (V_4 - V_3) \times T_2$ が成立するように決定されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記段差構造を形成する工程は、前記積層構造上に前記第2のIII-V族化合物半導体層を覆うパターンを形成する工程と、前記パターンを堆積マスクとしてInP層を堆積する工程とを含み、前記ウェットエッチング工程は、前記パターンにより前記積層構造を保護した状態で実行されることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項12】 前記ウェットエッチング工程の後、さらに前記パターンを除去する工程と塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記平坦化工程におけるInP層のエッチング速度 V_3 、および前記第2のII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式

$V_1 \times T_1 = (V_4 - V_3) \times T_2$ が成立するように決定されることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記別のエッチャントは、水および過

酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項5～13のうち、いずれか一項記載の半導体装置の製造方法。

【請求項15】前記段差構造は、前記ウェットエッチング工程の後、(100)面または(011)面または(0-1-1)面よりなる平坦化面を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項16】前記平坦面は前記第1のIII-V族化合物半導体層の表面と実質的に一致することを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】前記段差構造は、前記ウェットエッチング工程の後、(100)面または(011)面または(0-1-1)面により近い段差面を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項18】前記第2のIII-V族化合物半導体層は、InPとInGaAsとInAsとInGaPとInGaAsPとGaInNAsとよりなる群から選択される組成を有することを特徴とする請求項1～17のうち、いずれか一項記載の半導体装置の製造方法。

【請求項19】前記第1のIII-V族化合物半導体層は、InGaAsとInGaAsPとよりなる群から選択される組成を有することを特徴とする請求項1～18のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に化合物半導体装置に係り、特に光通信や光情報処理に用いられる光半導体素子の製造方法に関する。

【0002】化合物半導体は光と相互作用する直接遷移型のバンド構造を有し、このため化合物半導体を使った光半導体装置は、光通信や光情報処理の分野において広く使われている。特にInP系の化合物半導体装置、特にレーザダイオードは、光ファイバ中を伝送される1.3あるいは1.55 μm 帯の波長の光信号を形成することができるため重要である。

【0003】

【従来の技術】かかるレーザダイオードでは、レーザ発振効率を向上させるために、注入されたキャリアを軸方向の限られた領域に閉じ込める電流狹窄構造を設けることが必須である。さらにレーザダイオードでは誘導放出によりレーザ発振が生じるため、かかるキャリアを閉じ込めた領域に、光をも効率的に閉じ込める必要がある。InP系のレーザダイオードでは、光を導波するInGaAsPコアとInP埋込層との屈折率差によって、水平方向の光閉じ込めを実現する。

【0004】図1(A)～(D)は、電流および光狹窄構造として埋込ヘテロ構造(BH構造)を有するレーザダイオード10の製造工程を示す。

【0005】図1(A)を参照するに、n型InP基板11上にはInGaAsP層とInGaAsP層とを繰

り返し積層した多重量子井戸層12が形成され、さらに前記多重量子井戸層12上にはp型InPクラッド層13とp型InGaAsコンタクト層14とが順次形成される。

【0006】次に図1(B)の工程において前記コンタクト層14上にSiO₂膜15をエッチング保護膜として形成し、さらにかかる構造に対してドライエッチングを行うことにより、活性層メサストライプを形成する。図示の例では、前記メサストライプは<011>方向に延在している。

【0007】次に図1(C)の工程において前記SiO₂膜15を選択成長マスクとして使い、Feドーパした高抵抗InP埋込層16A、16Bを有機金属気相成長(MOVPE; Metal Organic Vapor Phase Epitaxy)法により、前記メサストライプの両側に結晶成長する。かかるInP埋込層16A、16Bの再成長工程においては成長停止面である(111)B面が発達し、その結果マスク縁において埋込層が符号16aあるいは16bで示すように盛り上がる成長形状が得られる。

【0008】最後に図1(D)の工程において前記SiO₂膜15が除去され、前記コンタクト層14上にp側電極17が、基板11の下面にn側電極18が形成される。

【0009】

【発明が解決しようとする課題】このように、SiO₂膜15を選択成長マスクとしたInP層16A、16Bの埋込成長では、先にも説明したように、前記SiO₂膜15の縁に対応する領域16a、16bにおいてInP層16Aおよび16Bが盛り上がるのが避けられない。この原因は、前記SiO₂マスク15上で結晶成長が生じないことに起因してSiO₂膜15上において原料濃度が局所的に増加し、前記メサ領域の両側で成長しているInP層16Aあるいは16Bの表面に原料が過剰供給される為である。例えば図1(C)の工程において、メサストライプの高さを約1.5 μm とした場合、マスク縁の領域16a、16bにおいて前記InP埋込層16A、16Bは約0.7 μm の高さ程度盛り上がる。

【0010】先に説明したように図1(D)の工程ではp側電極17かかる段差表面上に形成することになるが、前記p側電極17をTi膜、Pt膜およびAu膜のスパッタリングにより順次形成した場合、Ti膜およびPt膜はそれぞれ0.1 μm 程度の厚さしかないので、図2に示したように、下地形状の段差を反映して凹凸部分17aで電極層が途切れる問題が生じる。かかる電極の途切れが生じると電流注入が不均一なり、デバイスの電氣的劣化を引き起こす。

【0011】そこで本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【0012】本発明のより具体的な課題は、III-V族化合物半導体層を含むメサ構造に隣接して、InPよりなる段差構造をInP層の選択成長マスクを使った再成長工程により形成した後、前記段差構造を簡単なウェットエッチング工程により平坦化し、前記III-V族化合物半導体層の表面に実質的に一致する平坦化面を有する構造を形成できる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、InPと異なる組成を有しInを含む第1のIII-V族化合物半導体層上に、Inを含む第2のIII-V族化合物半導体層を形成し、前記第1のIII-V族化合物半導体層と前記第2のIII-V族化合物半導体層とよりなる積層構造を形成する工程と、前記積層構造に隣接してInP層を成長し、InPよりなる段差構造を形成する工程と、前記段差構造および前記第2のIII-V族化合物半導体層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを適用し、少なくとも前記第2のIII-V族化合物半導体層を除去するウェットエッチング工程を特徴とする半導体装置の製造方法により、または請求項2に記載したように、前記エッチャントは、さらに水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法により、または請求項3に記載したように、前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度と前記第2のIII-V族化合物半導体層のエッチング速度とが実質的に等しくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または請求項4に記載したように、前記積層構造を形成する工程は、前記第2のIII-V族化合物半導体層の厚さが、前記エッチャントによるInP層のエッチング速度と前記エッチング時間との積に実質的に等しくなるように実行されることを特徴とする請求項3記載の半導体装置の製造方法により、または請求項5に記載したように、前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または請求項6に記載したように、前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項5記載の半導体装置の製造方法により、または請求項7に記載したように、前記ウェットエ

ッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記第2のIII-V族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程におけるInP層のエッチング速度 V_3 と前記第2のIII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式 $(V_2 - V_1) \times T_1 = (V_3 - V_4) \times T_2$ が成立するように決定されることを記載の半導体装置の製造方法により、または請求項8に記載したように、前記エッチャントは、前記ウェットエッチング工程において前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも大きくなるような組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または請求項9に記載したように、前記ウェットエッチング工程の後、さらに塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項8記載の半導体装置の製造方法により、または請求項10に記載したように、前記ウェットエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記第2のIII-V族化合物半導体層のエッチング速度 V_2 、および前記平坦化工程におけるInP層のエッチング速度 V_3 と前記第2のIII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式 $(V_1 - V_2) \times T_1 = (V_4 - V_3) \times T_2$ が成立するように決定されることを記載の半導体装置の製造方法により、または請求項11に記載したように、前記段差構造を形成する工程は、前記積層構造上に前記第2のIII-V族化合物半導体層を覆うパターンを形成する工程と、前記パターンを堆積マスクとしてInP層を堆積する工程とを含み、前記ウェットエッチング工程は、前記パターンにより前記積層構造を保護した状態で実行されることを特徴とする請求項1または2記載の半導体装置の製造方法により、または請求項12に記載したように、前記ウェットエッチング工程の後、さらに前記パターンを除去する工程と塩酸および酢酸を含む別のエッチャントを使った別のウェットエッチングにより平坦化構造を形成する平坦化工程を含み、前記別のエッチャントは、前記段差構造のエッチング速度が前記第2のIII-V族化合物半導体層のエッチング速度よりも小さくなるような組成を有することを特徴とする請求項11記載の半導体装置の製造方法により、または請求項13に記載したように、前記ウェッ

トエッチング工程におけるエッチング時間 T_1 と前記平坦化工程におけるエッチング時間 T_2 とが、前記ウェットエッチング工程におけるInP層のエッチング速度 V_1 と前記平坦化工程におけるInP層のエッチング速度 V_3 、および前記第2のIII-V族化合物半導体層のエッチング速度 V_4 に対して、関係式 $V_1 \times T_1 = (V_4 - V_3) \times T_2$ が成立するように決定されることを特徴とする。

2記載の半導体装置の製造方法により、または請求項14に記載したように、前記別のエッチャントは、水および過酸化水素水の少なくとも一方をさらに含むことを特徴とする請求項5〜13のうち、いずれか一項記載の半導体装置の製造方法により、または請求項15に記載したように、前記段差構造は、前記ウェットエッチング工程の後、(100)面または(011)面または(0-1-1)面よりなる平坦化面を有することを特徴とする。

請求項1または2記載の半導体装置の製造方法により、または請求項16に記載したように、前記平坦面は前記第1のIII-V族化合物半導体層の表面と実質的に一致することを特徴とする請求項15記載の半導体装置の製造方法により、または請求項17に記載したように、前記段差構造は、前記ウェットエッチング工程の後、(100)面または(011)面または(0-1-1)面により近い段差面を有することを特徴とする請求項1または2記載の半導体装置の製造方法により、または請求項18に記載したように、前記第2のIII-V族化合物半導体層は、InPとInGaAsとInAsとInGaPとInGaAsPとGaInNAsとよりなる群から選択される組成を有することを特徴とする請求項1〜17のうち、いずれか一項記載の半導体装置の製造方法により、または請求項19に記載したように、前記第1のIII-V族化合物半導体層は、InGaAsとInGaAsPとよりなる群から選択される組成を有することを特徴とする請求項1〜18のうち、いずれか一項記載の半導体装置の製造方法により、解決する。

[作用]図3は本発明の発明者により、本発明の基礎となる実験において行われた、塩酸:酢酸:水の混合比が1:5:1の混合液を使って段差のあるInP層をエッチングする実験における、<100>方向、<0-11>方向、および<011>方向のエッチング量とエッチング時間の相関を示す。

【0014】図3を参照するに、<100>方向および<011>方向のエッチング速度が約0.05〜0.1 $\mu\text{m}/\text{min}$ 程度であるのに対し、<0-11>方向のエッチング速度は15 $\mu\text{m}/\text{min}$ と100倍以上速いことがわかる。従って前記混合液で段差形状をエッチングすると<0-11>方向の段差は非常に早い速度で後退し、結果的に(100)面、(011)面およびこれに等価な(0-1-1)面だけが発達面として残り、他の面は消失する。すなわち上記エッチング液によるウェッ

トエッチングにより、InP層上には(100)面あるいは(011)面あるいは(0-1-1)面のみが平坦面として現れることが見出された。

【0015】前記エッチャント中の各成分の混合比を変えると、エッチング速度の絶対値および各面方位に対する相対速度は変化する。

【0016】図4はエッチャント中の塩酸に対する酢酸の濃度比 X を変化させた場合における、<100>方向に対する<0-11>方向へのエッチング速度比を示す。すなわち図4において、前記エッチャントでは塩酸:酢酸:水の濃度比が1: X :1で表される。

【0017】図4を参照するに、いずれの酢酸濃度範囲 X においても<100>方向に比べ<0-11>方向へのエッチング速度は30〜160倍大きいことがわかる。かかるエッチング異方性は、エッチャント中における塩酸と酢酸の含有によって得られるのであり、特に塩酸と酢酸の濃度比 X が1〜20の範囲において30以上のエッチング速度比が得られることがわかる。このように、前記の範囲にエッチャント中の酢酸濃度を設定することにより、本特許の目的であるInP層の顕著な平坦化効果が得られる。

【0018】前記エッチャント中における水の濃度比が変わると、(塩酸+酢酸)濃度が変化する為に、エッチング速度の絶対値は変化するが、図3、4に示されたエッチング異方性自体は変わらず、平坦化効果には影響は生じない。

【0019】本発明のエッチャントによるエッチング異方性は、上記のエッチャント混合液に過酸化水素水を加えても得られる。

【0020】図5は、前記塩酸、酢酸および水よりなる混合液にさらに過酸化水素水を加えたエッチャントによりInPの段差形状をエッチングした場合の、<100>方向に対する<0-11>方向へのエッチング速度比を示す。

【0021】図5を参照するに、前記エッチャント中における塩酸と酢酸と過酸化水素水と水の組成比を1:1: Y :1と表した場合、前記過酸化水素水の濃度 Y の値が0〜0.3の範囲で30以上の異方性が得られることがわかる。

【0022】図6は、塩酸、酢酸、過酸化水素水および水よりなるエッチャントにより、InP層、InGaAs層および1.3 μm のバンドギャップ波長を与える組成のInGaAsP層をウェットエッチングした場合の、<100>方向へのエッチング速度を示す図である。

【0023】図6を参照するに、エッチング速度はそれぞれの化合物半導体層において前記エッチャントの組成、特に過酸化水素水の濃度 Y により変化するのがわかる。その際、InP層のエッチング速度は、前記エッチャント中における過酸化水素水の濃度 Y によってはたい

して変化しないのに対し、InGaAs層およびInGaAsP層のエッチング速度は大きく変化する。過酸化水素水の濃度の上昇とともにこれらのIII-V族層ではエッチング速度が大きく増大することがわかる。例えば前記エッチャントによるエッチング速度は、エッチャント中の過酸化水素水のモル比濃度Yが0.4未満の場合($Y < 0.4$)、InP層のエッチング速度の方がInGaAsP層のエッチング速度よりも大きいのに対し、前記エッチャント中における過酸化水素水の濃度Yが前記0.4の値を超えると($Y > 0.4$)この関係が逆転し、InGaAsP層のエッチング速度がInP層のエッチング速度を上回ることがわかる。また前記エッチャント中の過酸化水素の濃度Yの値を0.4に設定することにより、前記InGaAsP層のエッチング速度を前記InP層のエッチング速度におおよそ一致させることが可能である。

【0024】同様に、前記エッチャント中の過酸化水素水の濃度Yが0.2未満の場合($Y < 0.2$)、InP層のエッチング速度はInGaAs層のエッチング速度を上回り、一方前記過酸化水素水の濃度Yが0.2を超える場合には、InGaAs層のエッチング速度がInP層のエッチング速度を上回ることがわかる。また前記エッチャント中の過酸化水素水の濃度Yを0.2に設定することにより、前記InGaAs層のエッチング速度を前記InP層のエッチング速度におおよそ一致させることが可能である。

【0025】以下、本発明による半導体装置の製造方法の原理を、四つの基本的類型に分けて説明する。A. 類型I図7(A)～(D)は、前記図3～6の関係に基づいた本発明による半導体装置の製造方法の原理を第1の類型について説明する図である。ただし図7(A)～(D)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0026】図7(A)を参照するに、n型InP基板11上には図1(C)の構造に対応して、InGaAsP量子井戸層とInGaAsPバリア層とを交互に繰り返し積層した多重量子井戸構造を有する活性層12と、p型InPクラッド層13と、p型InGaAsコンタクト層14とを含むメサストライプ構造が、 SiO_2 あるいはSiN等よりなる絶縁膜パターン15をマスクとしたドライエッチング工程により形成されているが、図7(A)の構造では図1(C)の構造と異なり、前記コンタクト層14と絶縁膜パターン15との間にInGaAsあるいはInGaAsPよりなる犠牲層ないし速度調整層14Aが挿入されている。前記メサストライプ構造の両側には、FeドープしたInP高抵抗埋込層16A、16Bが、前記絶縁膜パターン15をマスクとした選択成長工程により形成されている。前記InP埋込層16A、16Bには、絶縁膜をマスクとした選択成長工

程に特有な段差形状16a、16bが図1(C)の構造と同様に形成されている。

【0027】次に図7(B)の工程において前記絶縁膜パターン15が除去され、さらに図7(B)の構造に対して図7(C)の工程において、塩酸と酢酸と過酸化水素水とよりなるエッチャントを使ったウェットエッチング処理が適用される。その際、先に図3で説明したように、InP埋込層16A、16Bのうち $0-11^\circ$ 方向の斜面が優先的にエッチングされ、その結果、前記InP層16A、16B上には、(100)面あるいは(011)面、あるいは $(0-1-1)$ 面よりなる平坦面16c、16dが発達する。その際、かかるInP層の異方性エッチングによる段差面の平坦化作用は、図4および図5よりわかるように前記エッチャント中における塩酸と酢酸と過酸化水素水の混合比をモル比で1:1:0から10:10:3の範囲に設定した場合に顕著に現れる。すなわち、上記組成範囲において、前記エッチャントは30以上の異方性を示す。

【0028】ところで図7(C)のウェットエッチング工程では、前記InGaAs速度調整層14Aも同時にエッチングされており、前記InP埋込層16A、16Bと同じく(100)面あるいは(011)面あるいは $(0-1-1)$ 面が発達しているが、前記InP層16A、16Bを平坦化する際のエッチャントとして、塩酸と酢酸と過酸化水素水とよりなり過酸化水素水を0.2を超える濃度Y($Y > 0.2$)で含む組成のものを使った場合、先に説明した図6よりわかるように前記平坦化面16c、16dのエッチング速度が前記InGaAs速度調整層14Aのエッチング速度よりも小さくなり、その結果、前記InGaAs速度調整層14Aは前記InP埋込層16A、16Bに対して凹部を形成する。

【0029】そこで、本発明では図7(D)の工程において、塩酸と酢酸と過酸化水素水とよりなり過酸化水素水を0.2未満の濃度Y($Y < 0.2$)で含む別のエッチャントを使い、図7(C)の構造をさらにウェットエッチングすることにより、前記InP平坦化面16c、16dを前記速度調整層14Aよりも大きなエッチング速度でエッチングする。かかるウェットエッチングを、前記速度調整層14Aがエッチング・除去されるまで継続することにより、図7(D)に示すように前記平坦化面16c、16dが前記InGaAsコンタクト層14の表面と実質的に一致する平坦化構造が得られる。

【0030】なお図7(A)～(D)の工程において、前記速度調整層14Aとして図6に示すバンドギャップ組成が $1.3\mu\text{m}$ のInGaAsP層を使った場合には、先と同様な考察から、図7(C)の工程において使われるエッチャント中の過酸化水素水の濃度Yを0.4よりも大きく($Y > 0.4$)に設定し、図7(D)の工程において使われるエッチャント中の過酸化水素水の濃度Yを0.4未満($Y < 0.4$)に設定すればよいこと

がわかる。

【0031】なお、図7(D)の工程において、前記コンタクト層14の表面を前記InP埋込層16A、16Bの平坦面16c、16dと一致させるためには、前記図7(C)および7(D)のウェットエッチング工程の時間を、それぞれのウェットエッチング工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0032】より具体的説明すると、図7(C)の工程において前記速度調整層14Aの表面と前記平坦化面16cあるいは16dとの間に形成される段差 L_{step} は、図7(B)の段差部16a、16bが図7(C)のウェットエッチング開始後、大きなエッチング異方性のため直ちに平坦化されると仮定して、

$L_{step} = (V_2 - V_1) \times t_1$ で与えられる。ただし V_1 は図7(C)の工程における前記InP層16Aあるいは16Bのエッチング速度を、また V_2 は図7(C)の工程における前記速度調整層14Aのエッチング速度を表し、 t_1 は図7(C)の工程におけるエッチング時間を表す。

【0033】一方、図7(D)のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要があり、このことから関係式

$L_{step} = (V_2 - V_1) \times t_1 = (V_3 - V_4) \times t_2$ が成立しなければならない。このウェットエッチング工程における前記InP層16A、16Bのエッチング速度を、また V_4 は図7(D)のウェットエッチング工程における前記速度調整層14Aのエッチング速度を表す。

【0034】先の図6の関係より、図7(D)の工程におけるInP埋込層16A、16Bのエッチング速度 V_3 が図7(C)の工程におけるInP埋込層16A、16Bのエッチング速度 V_1 と略等しい($V_1 \approx V_3$)と近似すると、前記関係は、

$(V_2 - V_1) \times t_1 = (V_1 - V_4) \times t_2$ と変形される。前記速度調整層14Aの工程において完全に除去されるためには、前記関係 $V_1 \approx V_3$ を仮定して、前記速度調整層14Aの厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

B. 類型II図8(A)～(D)は、本発明による半導体装置の製造方法の原理を、第2の類型、すなわちInP埋込層16A、16Bを平坦化する際のエッチング速度が速度調整層14Aのエッチング速度よりも速い場合について示す。ただし図8(A)～(D)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0035】図8(A)～(D)を参照するに、図8(A)～(B)の工程は、先の図7(A)～(B)の工程と同じであり、p型InGaAsコンタクト層14上にInGaAsあるいはInGaAsP速度調整層14

Aを形成した後、絶縁膜パターン15をマスクに前記InP基板11上にメサストライプ構造を形成し、さらに同じ絶縁膜パターン15を選択成長マスクにつかつて高抵抗InP埋込層16A、16Bを前記メサストライプ構造の両側に形成した後、前記絶縁膜パターン15を除去する。

【0036】次に図8(C)の工程において、図8(B)の構造に対して、塩酸と酢酸と過酸化水素水とよりなり、過酸化水素水を前記InP埋込層16A、16Bのエッチング速度が前記速度調整層14Aのエッチング速度よりも大きくなるような濃度で含むエッチャントを使ったウェットエッチング工程を適用することにより、前記InP埋込層16A、16Bの段差部16a、16bをエッチングし、平坦面16c、16dを形成す

【0037】そこで、図8(C)の工程に引き続き図8(D)の工程が実行され、前記速度調整層14AおよびInP平坦面16c、16dが、塩酸と酢酸と過酸化水素水とよりなりInGaAsに対するエッチング速度がInPに対するエッチング速度よりも速くなるように過酸化水素の濃度を調整されたエッチャントを使ってエッチングされる。

【0038】図8(A)～(D)の工程において前記速度調整層14AがInGaAsよりなる場合、図8(C)の工程では前記エッチャント中の酢酸濃度 Y を図6の関係から0.2未満($Y < 0.2$)に設定すればよく、また図8(D)の工程では0.2よりも大きく($Y > 0.2$)設定すればよい。一方前記速度調整層14AがInGaAsP層よりなり、前記InGaAsP層が1.3 μ m帯域のバンドギャップ波長に対応する組成を

有する場合、図8(C)の工程では前記エッチャント中の過酸化水素水の濃度 Y を0.4未満($Y < 0.4$)とすればよく、さらに図8(D)の工程では前記過酸化水素水の濃度 Y を0.4よりも大きく設定すればよい。

【0039】なお、図8(D)の工程において、前記コンタクト層14の表面を前記InP埋込層16A、16Bの平坦面16c、16dと一致させるためには、前記図8(C)および8(D)のウェットエッチング工程の時間を、それぞれの工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0040】より具体的説明すると、図8(C)の工程において前記速度調整層14Aの表面と前記平坦化面16cあるいは16dとの間に形成される段差 L_{step} は、 $L_{step} = (V_1 - V_2) \times t_1$ で与えられる。ただし V_1 は図8(C)の工程における前記InP層16Aあるいは16Bのエッチング速度を、また V_2 は図8(C)の工程における前記速度調整層14Aのエッチング速度を表し、 t_1 は図8(C)の

工程におけるエッチング時間を表す。

【0041】一方、図8(D)のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要がある、このことから関係式

$$L_{step} = (V_1 - V_2) \times t_1 = (V_4 - V_3) \times t_2 \text{ が成立しなければならない。}$$

のウェットエッチング工程における前記InP層16

A、16Bのエッチング速度を、また V_4 は図8(D)

のウェットエッチング工程における前記速度調整層14

Aのエッチング速度を表す。

【0042】先の図6の関係より、図8(D)の工程に

におけるInP埋込層16A、16Bのエッチング速度 V

$_3$ が図8(C)の工程におけるInP埋込層16A、1

6Bのエッチング速度 V_1 と略等しい($V_1 \approx V_3$)と近

似すると、前記関係は図7(C)、(D)の場合と同様

に、

$$(V_2 - V_1) \times t_1 = (V_1 - V_4) \times t_2 \text{ と変形される。前記速度調整層14A、14Aとの間にエッチング速度の差が生じ得ないため、}$$

程において完全に除去されるためには、前記関係 $V_1 \approx$

V_3 を仮定して、前記速度調整層14Aの厚さを、式 V_1

$\times (t_1 + t_2)$ に従って設定すればよい。

C. 類型III図9(A)～(C)は、本発明による半導体装置の製造

方法の原理を、InP埋込層16A、16Bを平坦化する

際のエッチング速度が速度調整層14Aのエッチング

速度に等しく設定された第3の類型について示す図であ

る。ただし図9(A)～(C)中、先に説明した部分に

は同一の参照符号を付し、説明を省略する。

【0043】図9(A)～(C)を参照するに、図9

(A)～(B)の工程は、先の図7(A)～(B)の工

程と同じであり、p型InGaAsコンタクト層14上

にInGaAsあるいはInGaAsP速度調整層14

Aを形成した後、絶縁膜パターン15をマスクに前記I

nP基板11上にメサストライプ構造を形成し、さらに

同じ絶縁膜パターン15を選択成長マスクにつかつて高

抵抗InP埋込層16A、16Bを前記メサストライプ

構造の両側に形成した後、前記絶縁膜パターン15を除

去する。

【0044】次に図9(C)の工程において、図9

(B)の構造に対して、塩酸と酢酸と過酸化水素水とよ

りなり、過酸化水素水を前記InP埋込層16A、16

Bのエッチング速度が前記速度調整層14Aのエッチ

ング速度に略等しくなるような濃度で含むエッチャントを

使ったウェットエッチング工程を適用することにより、

前記InP埋込層16A、16Bの段差部16a、16

bをエッチングし、平坦面16c、16dを形成する。

かかるウェットエッチング工程の結果、前記速度調整層

14Aは前記平坦面16c、16dと実質的に同じ速度

でエッチングされ、前記平坦面16c、16dと前記速

度調整層14Aの表面とが実質的に一致する平坦化構造

が、単一のウェットエッチング工程により得られる。

【0045】図9(A)～(C)の工程において前記速

度調整層14AがInGaAsよりなる場合、図9

(C)の工程では前記エッチャント中の過酸化水素水の

濃度 Y を図6の関係から約0.2($Y \approx 0.2$)に設定

すればよい。一方前記速度調整層14AがInGaAs

P層よりなり、前記InGaAsP層が1.3 μ m帯域

のバンドギャップ波長に対応する組成を有する場合、図

9(C)の工程では前記エッチャント中の過酸化水素水

の濃度 Y を約0.4($Y \approx 0.4$)とすればよい。

【0046】図9(A)～(C)の類型IIIによる半

導体装置の製造方法においては、前記速度調整層14A

として、InPを使うこともできる。InPを使った場

合には図9(C)のウェットエッチングおよび平坦化工

程において、InP埋込層16A、16Bと速度調整層

前記エッチャント中の過酸化水素水の濃度を任意に設定

することができる。

D. 類型IV図10(A)～(D)は、本発明による半導体装置の製

造方法の原理を、第4の類型、すなわちInP埋込層1

6A、16Bを平坦化する際に、前記InP埋込層16

A、16Bの再成長工程による形成の際に使われた選択

成長マスクをエッチングマスクとして残す場合について

示す。ただし図10(A)～(D)中、先に説明した部

分には同一の参照符号を付し、説明を省略する。

【0047】図10(A)～(D)を参照するに、図1

0(A)工程は、先の図7(A)の工程と同じであり、

p型InGaAsコンタクト層14上にInGaAsあ

るいはInGaAsP速度調整層14Aを形成した後、

絶縁膜パターン15をマスクに前記InP基板11上に

メサストライプ構造を形成し、さらに同じ絶縁膜パター

ン15を選択成長マスクに使って高抵抗InP埋込層1

6A、16Bを前記メサストライプ構造の両側に形成す

る。

【0048】次に図10(B)の工程において前記絶縁

膜パターン15を残したまま、図10(A)の構造に対

して塩酸と酢酸と過酸化水素水とよりなるエッチャント

を使ったウェットエッチング工程を適用することによ

り、前記InP埋込層16A、16Bの段差部16a、

16bをエッチングし、平坦面16c、16dを形成す

る。その際、前記メサ構造は絶縁膜パターン15により

保護されているため、かかるウェットエッチング工程の

結果、前記速度調整層14Aは前記平坦面16c、16

dから上方に突出し、凸構造を形成する。

【0049】次に図10(C)の工程において前記絶縁

膜パターン15が除去され、さらに図10(D)の工程

において前記速度調整層14AおよびInP平坦面16

c、16dが、塩酸と酢酸と過酸化水素水とよりなりI

nGaAsPに対するエッチング速度がInPに対する

エッチング速度よりも速くなるように過酸化水素の濃度を調整されたエッチャントを使ってエッチングされる。

【0050】図10(A)～(D)の工程において前記速度調整層14AがInGaAsよりなる場合、図10(B)の工程では前記エッチャント中の過酸化水素水の濃度Yは図5において面方位選択性が得られる範囲で任意に設定すればよいが、図10(D)の工程では前記速度調整層14Aがより速い速度でエッチングされるように0.2よりも大きく($Y > 0.2$)設定するのが好ましい。一方前記速度調整層14AがInGaAsP層よりなり、前記InGaAsP層が1.3 μm 帯域のバンドギャップ波長に対応する組成を有する場合、図10(B)の工程では前記エッチャント中の過酸化水素水の濃度Yは先と同様にエッチングの面方位選択性が得られる範囲で任意に選ぶことができるが、図10(D)の工程では前記InGaAsP速度調整層14Aがより速いエッチング速度でエッチングされるように、前記過酸化水素水の濃度Yを0.4よりも大きく設定するのが好ましい。

【0051】図10(D)の工程において、前記コンタクト層14の表面を前記InP埋込層16A、16Bの平坦面16c、16dと一致させるためには、前記図10(B)および図10(D)のウェットエッチング工程の時間を、それぞれの工程で使われるエッチャントのエッチング速度に対応して適切に設定しておく必要がある。

【0052】より具体的説明すると、図10(B)の工程において前記速度調整層14Aの表面と前記平坦化面16cあるいは16dとの間に形成される段差L

step は、 $L_{\text{step}} = V_1 \times t_1$ で与えられる。ただし V_1 は図10(B)の工程における前記InP層16Aあるいは16Bのエッチング速度を表し、 t_1 は図10(B)の工程におけるエッチング時間を表す。

【0053】一方、図10(D)のウェットエッチング工程の結果、前記段差 L_{step} は解消する必要があり、このことから関係式

$L_{\text{step}} = V_1 \times t_1 = (V_4 - V_3) \times t_2$ が成立しなければならない。ただし、(D)のウェットエッチング工程における前記InP層16A、16Bのエッチング速度を、また V_4 は図10(D)のウェットエッチング工程における前記速度調整層14Aのエッチング速度を表す。

【0054】先の図6の関係より、図10(D)の工程におけるInP埋込層16A、16Bのエッチング速度 V_3 が図10(B)の工程におけるInP埋込層16A、16Bのエッチング速度 V_1 と略等しい($V_1 \approx V_3$)と近似すると、前記関係は $V_1 \times t_1 = (V_4 - V_1) \times t_2$

と変形される。前記速度調整層14Aが図10(D)の工程において完全に除去されるためには、前記関係 $V_1 \approx V_3$ を仮定して、前記速度調整層14Aの厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

【0055】なお前記類型I～IVのいずれにおいても前記速度調整層14AとしてInGaAsあるいはInGaAsPが使われているが、前記速度調整層14Aの材料は上記のものに限定されるものではなく、InGaAs、InAs、InGaP、InGaAsPあるいはGaInNAsのいずれであってもよい。また前記ウェットエッチング工程と平坦化工程とでエッチングの選択性を変化させるためにエッチャント中の酢酸濃度Xを変化させてもよい。特に前記速度調整層14AとしてInGaAsPを使い、さらにその組成をバンドギャップが1.3 μm 以上、1.65 μm 以下となるように設定した場合には、図6の関係において、1.3 μm 組成のInGaAsPに対するエッチング速度とInGaAsに対するエッチング速度の中間の値が得られる。

【0056】以上の説明においては、一回または二回のウェットエッチングおよび平坦化工程を行うことにより、埋込InP層16A、16Bとコンタクト層14との間の段差が実質的に解消されているが、本発明は、前記平坦化工程の結果、前記段差が完全に解消される場合のみならず、当初の状態に対して軽減される場合を含む。

【0057】また本発明は、前記InP埋込層16A、16B上の当初の段差部16a、16bを先に説明した図3～図5の関係に基づいてウェットエッチングにより平坦化する工程、例えば図7の工程(C)において、ウェットエッチングの結果として得られる平坦化面16c、16dが(100)面または(011)面または(0-1-1)面に一致する場合のみならず、これらの結晶面により近い指数の面が得られる場合を含む。

【0058】

【発明の実施の形態】[第1実施例]以下、図11(A)～図12(G)を参照しながら、本発明の第1実施例によるBH構造を有するレーザダイオードの製造工程を説明する。

【0059】図11(A)を参照するに、n型InP基板101上にInGaAsP/InGaAsP多重量子井戸活性層102と、p型InPクラッド層103と、p型InGaAsコンタクト層104とを順次積層し、さらに前記コンタクト層104上に1.3 μm 帯域のバンドギャップ波長を与える組成のInGaAsPよりなる速度調整層104Aを約0.4 μm の厚さに堆積する。

【0060】次に図11(B)の工程において、SiO₂膜105をエッチングマスクとして使い、ドライエッチングを行うことにより、活性層メサストライプ101Mを形成する。図示の例では、前記活性層メサストライプ

ブ101Mは、 $\langle 011 \rangle$ 方向に延在する。

【0061】次に図11(C)の工程において、前記SiO₂膜105を選択成長マスクとして、MOVPE法によりFeドーブInP埋込層106₁、106₂を前記基板101上、前記メサストライプ101Mの両側に成長する。前記MOVPE工程は、例えば成長温度を630° C、成長圧力を0.1気圧に設定して実行され、I II族元素、V族元素およびFeドーバントの原料としてTMIn、PH₃およびCp₂Feを使用する。

【0062】本実施例では前記InP埋込層106₁、106₂の厚さは、前記InP埋込層106₁、106₂の最も低い部分が前記メサストライプ101M中のInGaAsP速度調整層104Aよりも高くなるように設定される。その結果、前記InP埋込層106₁、106₂には図11(C)の工程の結果、前記メサストライプ101M上のSiO₂膜105に隣接して、盛り上がり部106a、106bが形成される。

【0063】次に図12(D)の工程において、塩酸と酢酸と過酸化水素水と水との混合液よりなる第1のエッチャントを使い、図11(C)の構造をウェットエッチングする。

【0064】図12(D)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.1:1に設定され、エッチングは液温23° Cで典型的には1分間行われる。かかるエッチングの結果、図12(D)に示すように前記InP埋込層106A、106Bの表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化し、前記平坦化面106c、106dは、前記SiO₂膜105で保護されたInGaAsP層104Aの表面に対して高さが約0.12 μmの段差を形成する。

【0065】次に図12(E)の工程において前記SiO₂膜105がHF処理により除去され、さらに図12(F)の工程において、塩酸と酢酸と過酸化水素水と水よりなる第2のエッチャントを使って前記図12(E)の構造を、前記InGaAsP層104Aの下側のp型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【0066】図12(F)のウェットエッチング工程では、前記第2のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が1:1:0.6:1に設定され、エッチングは23° Cの液温で典型的には2分間行われる。前記第2のエッチャントを使ったウェットエッチング工程では、前記InGaAsP層104Aのエッチング速度が前記InP埋込層106₁、106₂のエッチング速度よりも大きくなり、その結果、図12(E)の工程において生じていた表面段差が消滅し、図12(F)に示すように、InP埋込層106₁、106₂とInGaAsコンタクト層104とが平坦化された構造が得られ

る。

【0067】最後に図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0068】本実施例では図12(G)の工程において前記埋込層106₁、106₂は前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第2実施例】図13(A)～図14(F)は本発明の第2実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図13(A)～図14(F)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0069】図13(A)～図14(F)を参照するに、図13(A)～(C)までの工程は先に説明した図11(A)～(C)までの工程と実質的に同一であり、SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。ただし図13(A)～(C)の工程では、前記InGaAsP層104Aは約0.52 μmの厚さに形成される。

【0070】次に図14(D)の工程において前記SiO₂膜105がHF処理により除去され、図14(E)の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなる第1のエッチャントを使い、図14(D)の構造をウェットエッチングする。

【0071】図14(E)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.1:1に設定され、エッチングは液温23° Cで典型的には1分間行われる。前記第1のエッチャントを使った場合、前記InP埋込層106₁、106₂に対しては前記InGaAsP速度調整層104Aに対するよりも大きいエッチング速度が得られ、かかるエッチングの結果、図14(E)に示すように前記InP埋込層106A、106Bの表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化する。このようにして形成された平坦化面106c、106dは、図14(E)の段階においてInGaAsP層104Aの表面に対して高さが約0.12 μmの段差を形成し、その結果図14(E)の構造上には高さが0.12 μmの凸構造が形成される。

【0072】次に図14(F)の工程において、塩酸と酢酸と過酸化水素水と水よりなる第2のエッチャントを使い、前記図14(E)の構造を、前記InGaAsP層104Aの下側のp型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【0073】図14(F)のウェットエッチング工程では、前記第2のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が1:1:0.6:1に設定され、エッチングは23° Cの液温で典型的には2分間行われる。前記第2のエッチャントを使ったウェットエッチング工程では、前記InGaAsP速度調整層14Aに対するエッチング速度が前記InP埋込層106₁、106₂に対するエッチング速度よりも大きくなり、その結果、図14(E)の工程において生じていた表面段差が消滅し、図14(F)に示すように、InP埋込層106₁、106₂とInGaAsコンタクト層104とが平坦化された構造が得られる。

【0074】最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0075】本実施例においても前記埋込層106₁、106₂は、図14(F)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第3実施例】図15(A)～図16(F)は本発明の第3実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図15(A)～図16(F)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0076】図15(A)～図16(F)を参照するに、図15(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。図15(A)～(C)の工程では、前記InGaAsP層104Aは約0.52 μmの厚さに形成される。

【0077】次に図16(D)の工程において前記SiO₂膜105がHF処理により除去され、図16(E)の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなる第1のエッチャントを使い、図16(D)の構造をウェットエッチングする。

【0078】図16(E)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.3:1に設定され、エッチングは液温23° Cで典型的には1分間行われる。前記第1のエッチャントを使った場合、前記InP埋込層106₁、106₂に対しては前記InGaAsP層104Aのエッチング速度よりも小さいエッチング速度が得られ、かかるエッチングの結果、図16(E)に示すように前記InP埋込層106A、106Bの表面106a、1

06bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化する。このようにして形成された平坦化面106c、106dは、図16(E)の段階においてInGaAsP層104Aの表面に対して高さが約0.12 μmの段差を形成し、その結果図16(E)の構造ではその表面上に高さが0.12 μmの凹構造が形成される。

【0079】次に図16(F)の工程において、塩酸と酢酸と過酸化水素水と水とよりなる第2のエッチャントを使い、前記図16(E)の構造を、前記InGaAsP層104Aの下にp型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【0080】図16(F)のウェットエッチング工程では、前記第2のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が1:1:0.1:1に設定され、エッチングは23° Cの液温で典型的には2分間行われる。前記第2のエッチャントを使ったウェットエッチング工程では、前記InGaAsP層14Aに対するエッチング速度が前記InP埋込層106₁、106₂に対するエッチング速度よりも小さくなり、その結果、図16(E)の工程において生じていた表面段差が消滅し、図16(F)に示すように、InP埋込層106₁、106₂とInGaAsコンタクト層104とが平坦化された構造が得られる。

【0081】最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0082】本実施例においても前記埋込層106₁、106₂は、図16(F)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第4実施例】図17(A)～図18(E)は本発明の第3実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図17(A)～図18(E)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0083】図17(A)～図18(E)を参照するに、図17(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。ただし図18(A)～(C)の工程では、前記InGaAsP層104Aは約0.28 μmの厚さに形成される。

【0084】次に図18(D)の工程において前記SiO₂膜105がHF処理により除去され、図18(E)

の工程において塩酸と酢酸と過酸化水素水と水との混合液よりなるエッチャントを使い、図18(D)の構造をウェットエッチングする。

【0085】図18(E)の工程において、前記エッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.2:1に設定され、エッチングは液温23°Cで典型的には2分間行われる。前記エッチャントを使った場合、前記InP埋込層106₁、106₂に対しても前記InGaAsP層104Aに対しても実質的に同じエッチング速度が得られ、かかるエッチングの結果、図18(E)に示すように前記InP埋込層106A、106Bの表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化するとともに、前記平坦化面106c、106dは前記InGaAsコンタクト層104の表面に実質的に一致する平坦面を形成する。

【0086】最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0087】本実施例においても前記埋込層106₁、106₂は、図18(E)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第5実施例】図19(A)～図20(E)は本発明の第3実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図19(A)～図20(E)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0088】図19(A)～図20(E)を参照するに、図19(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と類似しており、SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。ただし図19(A)～(C)の工程では前記コンタクト層104上に、図13(A)～(C)の工程で使われるInGaAsP層104Aの代わりにInP層104Bが、約0.2μmの厚さに形成される。

【0089】次に図2(D)の工程において前記SiO₂膜105がHF処理により除去され、図20(E)の工程において塩酸と酢酸と水との混合液よりなるエッチャントを使い、図20(D)の構造をウェットエッチングする。

【0090】図20(E)の工程において、前記エッチャント中における塩酸と酢酸と水の混合比は例えば1:5:1に設定され、エッチングは液温23°Cで典型的

には2分間行われる。かかるエッチングの結果、図20(E)に示すように前記InP埋込層106A、106Bの表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化するとともに前記InP層104Bが実質的に同じ速度でエッチングされ、前記平坦化面106c、106dは前記InGaAsコンタクト層104の表面に実質的に一致する平坦面を形成する。

【0091】最後に図示は省略するが、先の図12(G)の工程で、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0092】本実施例においても前記埋込層106₁、106₂は、図20(E)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【0093】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0094】

【発明の効果】本発明によれば、Inを含みInPとは異なる組成のIII-V族化合物半導体層を含むメサ構造に隣接してInP埋込層を選択成長マスクを使った選択成長工程により形成する際に、前記化合物半導体層上にInを含むIII-V族化合物半導体よりなる速度調整層を形成しておき、塩酸と酢酸を含むエッチャントにより前記InP埋込層と速度調整層とをウェットエッチングすることにより、前記InP埋込層の選択成長時に生じる段差が解消し、前記化合物半導体層の上面に一致した平坦面を有する構造を得ることが可能になる。

【図面の簡単な説明】

【図1】(A)～(D)は、関連技術による埋込ヘテロ構造を有するレーザダイオードの製造工程を示す図である。

【図2】図1の工程に伴う問題点を説明する図である。

【図3】本発明の原理を説明する図である。

【図4】本発明の原理を説明する別の図である。

【図5】本発明の原理を説明するさらに別の図である。

【図6】本発明の原理を説明するさらに別の図である。

【図7】(A)～(D)は本発明による半導体装置の製造方法における第1の基本類型を示す図である。

【図8】(A)～(D)は本発明による半導体装置の製造方法における第2の基本類型を示す図である。

【図9】(A)～(C)は本発明による半導体装置の製造方法における第3の基本類型を示す図である。

【図10】(A)～(D)は本発明による半導体装置の製造方法における第4の基本類型を示す図である。

【図11】(A)～(C)は本発明の第1実施例による

レーザダイオードの製造工程を示す図(その1)である。

【図12】(D)～(G)は本発明の第1実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図13】(A)～(C)は本発明の第2実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図14】(D)～(F)は本発明の第2実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図15】(A)～(C)は本発明の第3実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図16】(D)～(F)は本発明の第3実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図17】(A)～(C)は本発明の第4実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図18】(D)～(E)は本発明の第4実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図19】(A)～(C)は本発明の第5実施例によるレーザダイオードの製造工程を示す図(その1)である。

る。

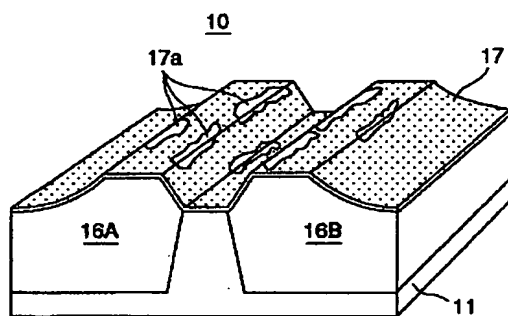
【図20】(D)～(E)は本発明の第5実施例によるレーザダイオードの製造工程を示す図(その2)である。

【符号の説明】

- 10 レーザダイオード
- 11 InP基板
- 12 多層量子井戸活性層
- 13 InPクラッド層
- 14 InGaAsコンタクト層
- 15 SiO₂ マスク
- 16A, 16B InP埋込層
- 16a, 16b 盛り上がり部
- 16c, 16d 平坦化面
- 17, 18 電極
- 17a 電極途切れ
- 101 InP基板
- 102 多重量子井戸層
- 103 InPクラッド層
- 104 InGaAsコンタクト層
- 105 SiO₂ マスク
- 106₁, 106₂ InP埋込層
- 106a, 106b 盛り上がり
- 106c, 106d 平坦化面
- 107, 108 電極

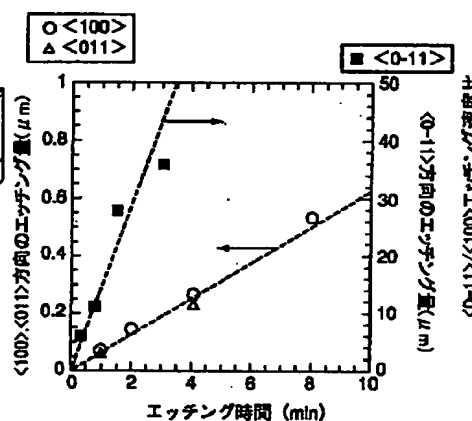
【図2】

図1の工程に伴う問題点を説明する図



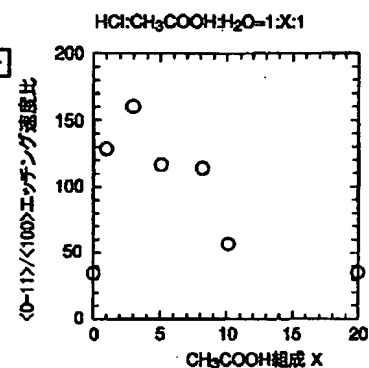
【図3】

本発明の原理を説明する図



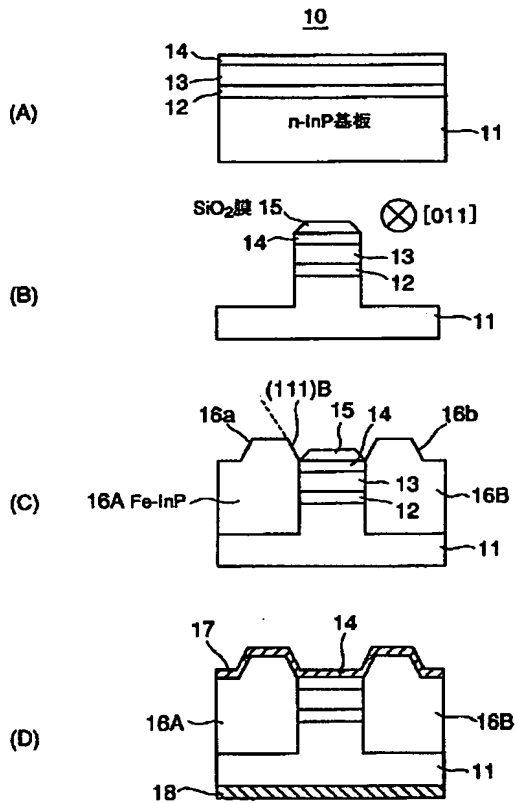
【図4】

本発明の原理を説明する別の図



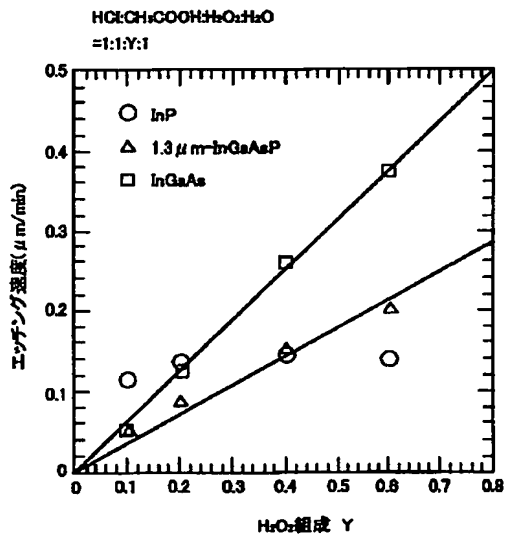
【図1】

(A)～(D)は、関連技術による遷延ヘテロ構造を有するレーザダイオードの製造工程を示す図



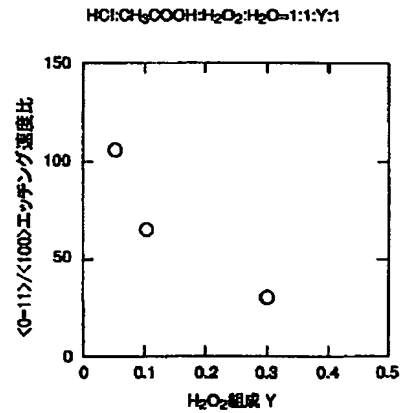
【図6】

本発明の原理を説明するさらに別の図



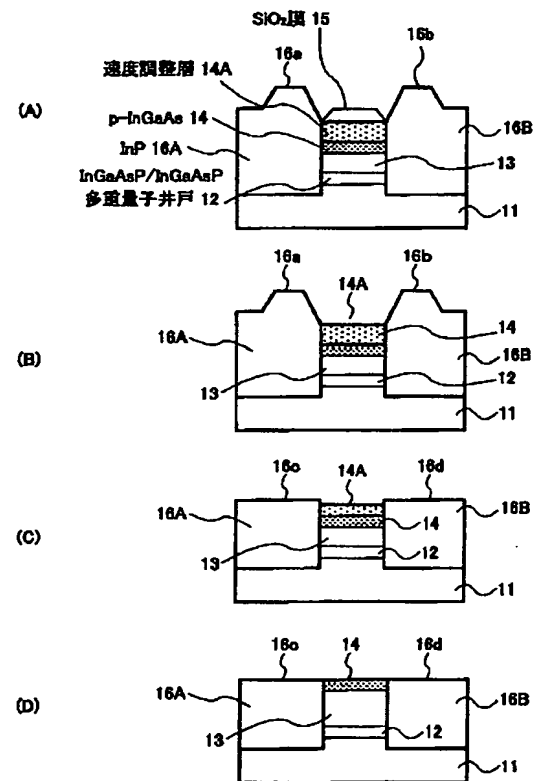
【図5】

本発明の原理を説明するさらに別の図



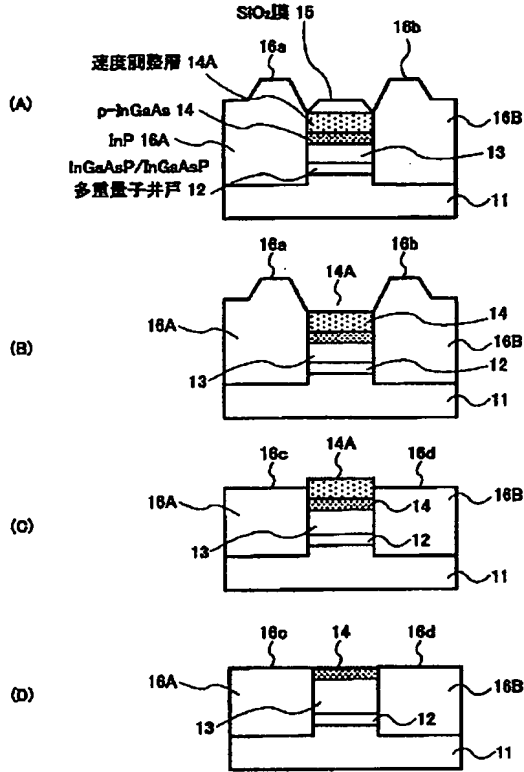
【図7】

(A)～(D)は本発明による半導体装置の製造方法における第1の基本類型を示す図



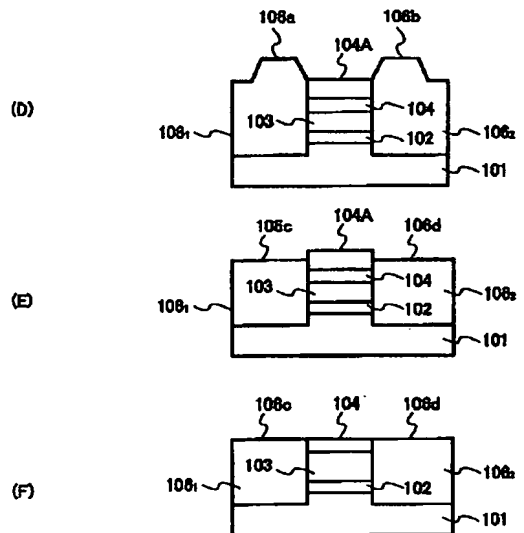
【図8】

(A)～(D)は本発明による半導体装置の製造方法における第2の基本類型を示す図



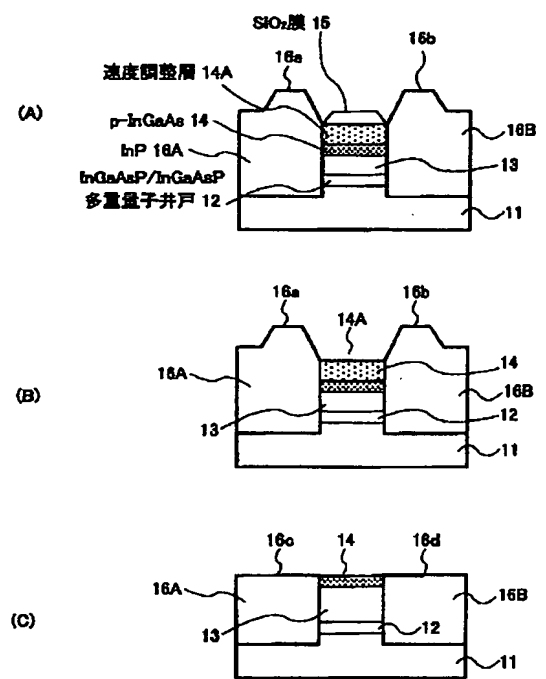
【図14】

(D)～(F)は本発明の第2実施例によるレーザダイオードの製造工程を示す図（その2）



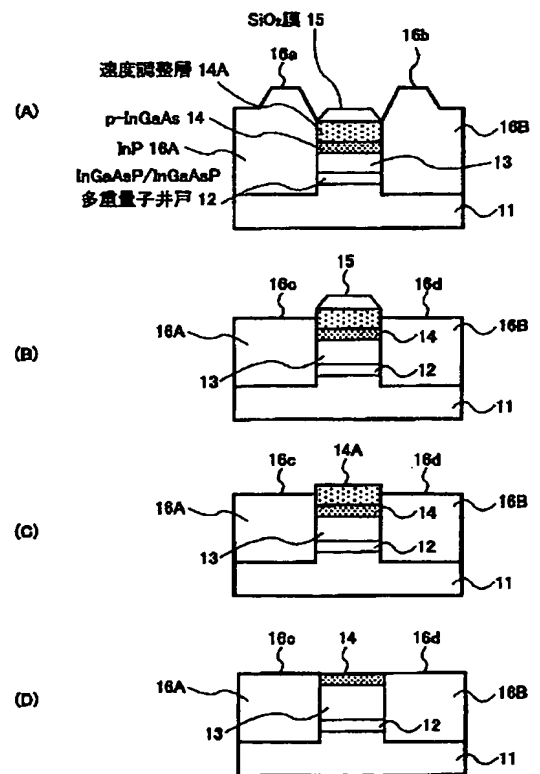
【図9】

(A)～(C)は本発明による半導体装置の製造方法における第3の基本類型を示す図



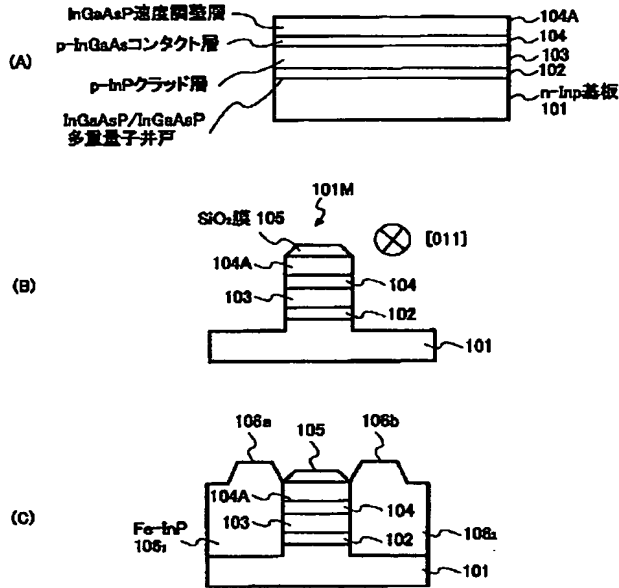
【図10】

(A)～(D)は本発明による半導体装置の製造方法における第4の基本類型を示す図



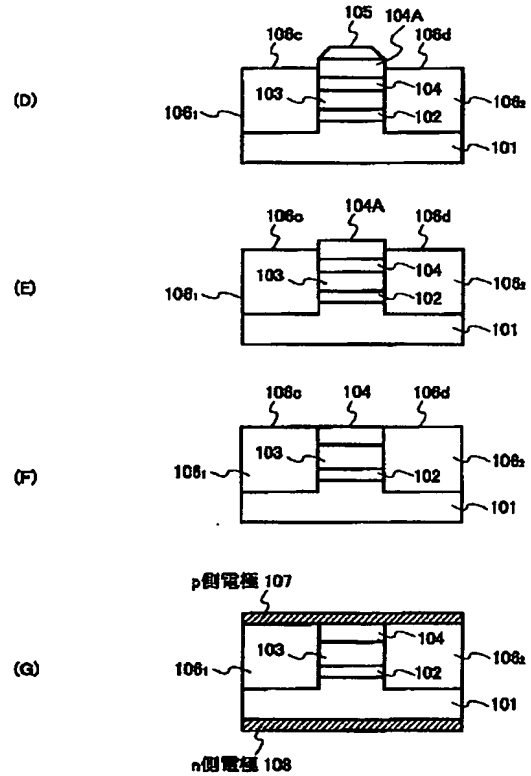
【図11】

(A)～(C)は本発明の第1実施例による
レーザダイオードの製造工程を示す図（その1）



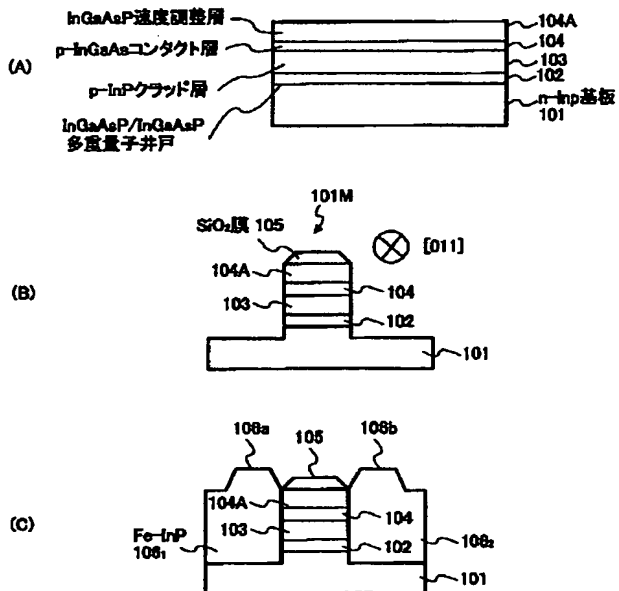
【図12】

(D)～(G)は本発明の第1実施例による
レーザダイオードの製造工程を示す図（その2）



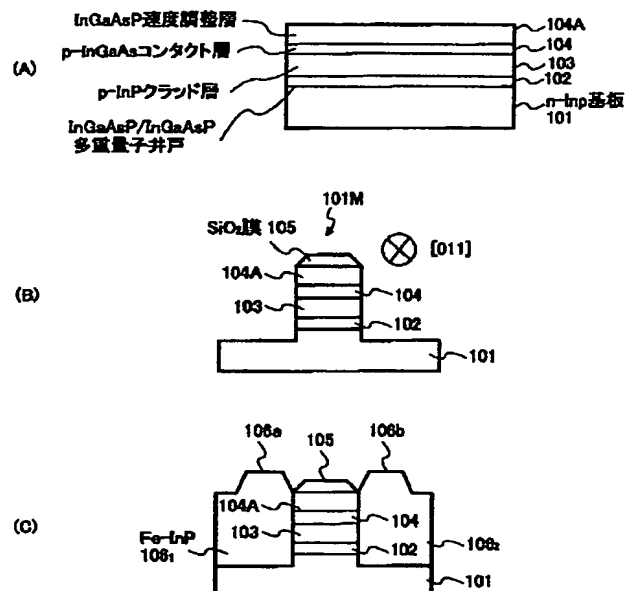
【図13】

(A)～(C)は本発明の第2実施例による
レーザダイオードの製造工程を示す図（その1）



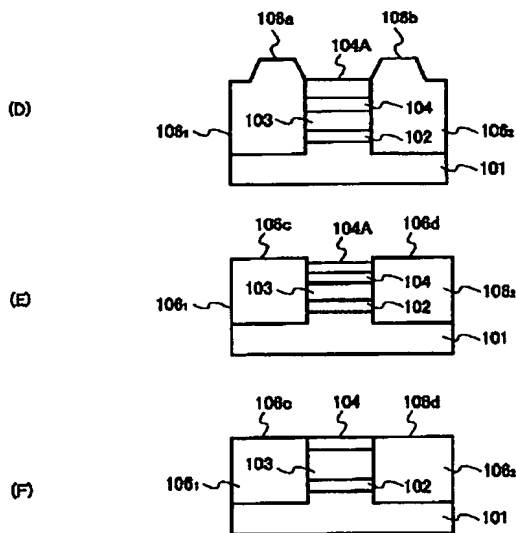
【図15】

(A)～(C)は本発明の第3実施例による
レーザダイオードの製造工程を示す図（その1）



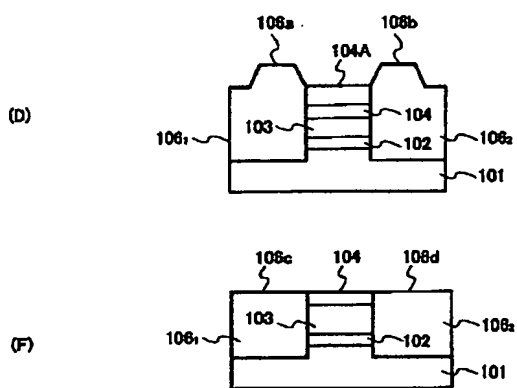
【図16】

(D)～(F)は本発明の第3実施例による
レーザダイオードの製造工程を示す図（その2）



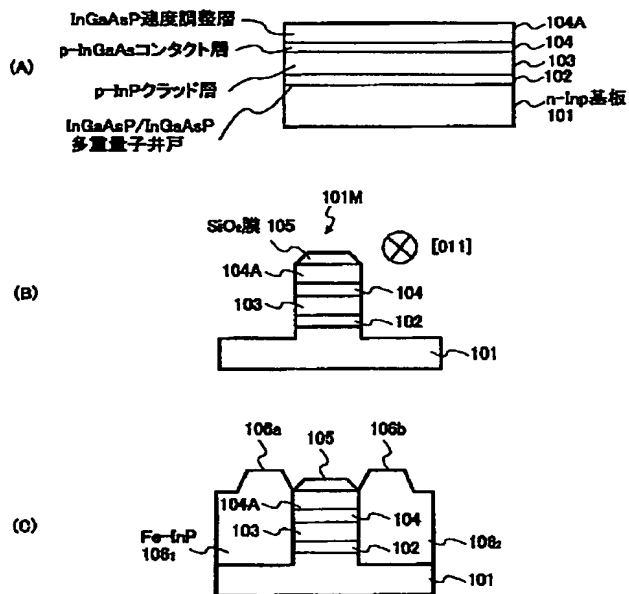
【図18】

(D)～(F)は本発明の第4実施例による
レーザダイオードの製造工程を示す図（その2）



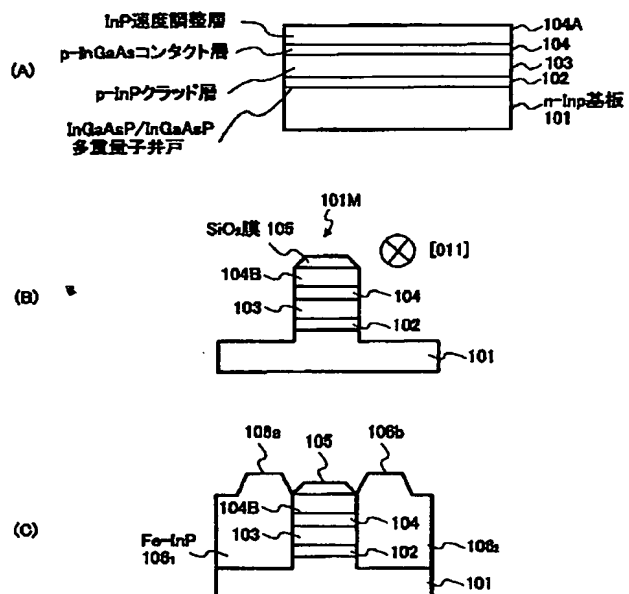
【図17】

(A)～(C)は本発明の第4実施例による
レーザダイオードの製造工程を示す図（その1）



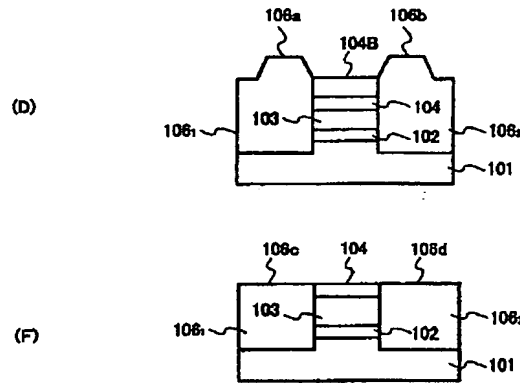
【図19】

(A)～(C)は本発明の第5実施例による
レーザダイオードの製造工程を示す図（その1）



【図20】

(D)～(F)は本発明の第5実施例による
レーザダイオードの製造工程を示す図（その2）



【提出日】平成14年3月5日（2002. 3. 5）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】図6を参照するに、エッチング速度はそれぞれの化合物半導体層において前記エッチャントの組成、特に過酸化水素水の濃度Yにより変化するのがわかる。その際、InP層のエッチング速度は、前記エッチャント中における過酸化水素水の濃度Yによってはたいして変化しないのに対し、InGaAs層およびInGaAsP層のエッチング速度は大きく変化し、過酸化水素水の濃度の上昇とともにこれらのIII-V族層ではエッチング速度が大きく増大することがわかる。例えば前記エッチャントによるエッチング速度は、エッチャント中の過酸化水素水の濃度Yが0.4未満の場合（Y<0.4）、InP層のエッチング速度の方がInGaAsP層のエッチング速度よりも大きいのに対し、前記エッチャント中における過酸化水素水の濃度Yが前記0.4の値を超えると（Y>0.4）この関係が逆転し、InGaAsP層のエッチング速度がInP層のエッチング速度を上回ることがわかる。また前記エッチャント中の過酸化水素水の濃度Yの値を0.4に設定することにより、前記InGaAsP層のエッチング速度を前記InP層のエッチング速度におおよそ一致させることが可能である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】次に図7(B)の工程において前記絶縁膜パターン15が除去され、さらに図7(B)の構造に対して図7(C)の工程において、塩酸と酢酸と過酸化水素水とよりなるエッチャントを使ったウェットエッチング処理が適用される。その際、先に図3で説明したように、InP埋込層16A、16Bのうち<0-11>方向の斜面が優先的にエッチングされ、その結果、前記InP層16A、16B上には、(100)面あるいは(011)面、あるいは(0-1-1)面よりなる平坦面16c、16dが発達する。その際、かかるInP層の異方性エッチングによる段差面の平坦化作用は、図4および図5よりわかるように前記エッチャント中における塩酸と酢酸と過酸化水素水の混合比を1:1:0から10:10:3の範囲に設定した場合に顕著に現れる。すなわち、上記組成範囲において、前記エッチャントは30以上の異方性を示す。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】ところで図7(C)のウェットエッチング工程では、前記速度調整層14Aも同時にエッチングされており、前記InP埋込層16A、16Bと同じく(100)面あるいは(011)面あるいは(0-1-1)面が発達しているが、前記InP層16A、16Bを平坦化する際のエッチャントとして、塩酸と酢酸と過酸化水素水とよりなり過酸化水素水を0.2を超える濃

度 Y ($Y > 0.2$) で含む組成のものを使った場合、先に説明した図6よりわかるように前記平坦化面16c、16dのエッチング速度が前記速度調整層14Aのエッチング速度よりも小さくなり、その結果、前記InGaAs速度調整層14Aは前記InP埋込層16A、16Bに対して凹部を形成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】先の図6の関係より、図8(D)の工程におけるInP埋込層16A、16Bのエッチング速度 V_3 が図8(C)の工程におけるInP埋込層16A、16Bのエッチング速度 V_1 と略等しい($V_1 \approx V_3$)と近似すると、前記関係は図7(C)、(D)の場合と同様に、

$(V_1 - V_2) \times t_1 = (V_4 - V_1) \times t_2$ と変形される。前記速度調整層14Aの106c、106dに変化し、前記平坦化面106c、106dにおいて完全に除去されるためには、前記関係 $V_1 \approx V_3$ を仮定して、前記速度調整層14Aの厚さを、式 $V_1 \times (t_1 + t_2)$ に従って設定すればよい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】次に図10(C)の工程において前記絶縁膜パターン15が除去され、さらに図10(D)の工程において前記速度調整層14AおよびInP平坦面16c、16dが、塩酸と酢酸と過酸化水素水とよりなり前記速度調整層14Aに対するエッチング速度がInPに対するエッチング速度よりも速くなるように過酸化水素の濃度を調整されたエッチャントを使ってエッチングされる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】なお前記類型I～IVのいずれにおいても前記速度調整層14AとしてInGaAsあるいはInGaAsPあるいはInPが使われているが、前記速度調整層14Aの材料は上記のものに限定されるものではなく、InGaAs、InAs、InGaP、InGaAsPあるいはGaInNAsのいずれであってもよい。また前記ウェットエッチング工程と平坦化工程とでエッチングの選択性を変化させるためにエッチャント中の酢酸濃度 X を変化させてもよい。特に前記速度調整層14AとしてInGaAsPを使い、さらにその組成を

バンドギャップが $1.3 \mu\text{m}$ 以上、 $1.65 \mu\text{m}$ 以下となるように設定した場合には、図6の関係において、 $1.3 \mu\text{m}$ 組成のInGaAsPに対するエッチング速度とInGaAsに対するエッチング速度の中間の値が得られる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】図12(D)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.1:1に設定され、エッチングは液温 23°C で典型的には1分間行われる。かかるエッチングの結果、図12(D)に示すように前記InP埋込層106₁、106₂の表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面

106dは、前記SiO₂膜105で保護されたInGaAsP層104Aの表面に対して高さが約 $0.12 \mu\text{m}$ の段差を形成する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】図14(E)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.1:1に設定され、エッチングは液温 23°C で典型的には1分間行われる。前記第1のエッチャントを使った場合、前記InP埋込層106₁、106₂に対しては前記InGaAsP速度調整層104Aに対するよりも大きいエッチング速度が得られ、かかるエッチングの結果、図14(E)に示すように前記InP埋込層106₁、106₂の表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化する。このようにして形成された平坦化面106c、106dは、図14(E)の段階においてInGaAsP層104Aの表面に対して高さが約 $0.12 \mu\text{m}$ の段差を形成し、その結果図14(E)の構造上には高さが $0.12 \mu\text{m}$ の凸構造が形成される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】図15(A)～図16(F)を参照するに、図15(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、

SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。図15(A)～(C)の工程では、前記InGaAs層104Aは約0.52 μmの厚さに形成される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正内容】

【0078】図16(E)の工程において、前記第1のエッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.3:1に設定され、エッチングは液温23° Cで典型的には1分間行われる。前記第1のエッチャントを使った場合、前記InP埋込層106₁、106₂に対しては前記InGaAs層104Aのエッチング速度よりも小さいエッチング速度が得られ、かかるエッチングの結果、図16(E)に示すように前記InP埋込層106₁、106₂の表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化する。このようにして形成された平坦化面106c、106dは、図16(E)の段階においてInGaAs層104Aの表面に対して高さが約0.12 μmの段差を形成し、その結果図16(E)の構造ではその表面上に高さが0.12 μmの凹構造が形成される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正内容】

【0079】次に図16(F)の工程において、塩酸と酢酸と過酸化水素水と水とよりなる第2のエッチャントを使い、前記図16(E)の構造を、前記InGaAs層104Aの下にp型InGaAsコンタクト層104が露出するまでウェットエッチングする。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正内容】

【0080】図16(F)のウェットエッチング工程では、前記第2のエッチャント中の塩酸と酢酸と過酸化水素水と水の混合比が1:1:0.1:1に設定され、エッチングは23° Cの液温で典型的には2分間行われる。前記第2のエッチャントを使ったウェットエッチング工程では、前記InGaAs層14Aに対するエッチング速度が前記InP埋込層106₁、106₂に対する

エッチング速度よりも小さくなり、その結果、図16(E)の工程において生じていた表面段差が消滅し、図16(F)に示すように、InP埋込層106₁、106₂とInGaAsコンタクト層104とが平坦化された構造が得られる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正内容】

【0082】本実施例においても前記埋込層106₁、106₂は、図16(F)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第4実施例】図17(A)～図18(E)は本発明の第4実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図17(A)～図18(E)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正内容】

【0083】図17(A)～図18(E)を参照するに、図17(A)～(C)までの工程は先に説明した図13(A)～(C)までの工程と実質的に同一であり、SiO₂膜105で覆われたメサ構造101Mの両側に、前記SiO₂膜105を選択成長マスクとしてInP埋込層106₁および106₂が再成長により形成され、これに伴い前記InP埋込層106₁および106₂には段差部106aおよび106bが形成される。ただし図18(A)～(C)の工程では、前記InGaAs層104Aは約0.28 μmの厚さに形成される。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正内容】

【0085】図18(E)の工程において、前記エッチャント中における塩酸と酢酸と過酸化水素水と水の混合比は1:1:0.2:1に設定され、エッチングは液温23° Cで典型的には2分間行われる。前記エッチャントを使った場合、前記InP埋込層106₁、106₂に対しても前記InGaAs層104Aに対しても実質的に同じエッチング速度が得られ、かかるエッチングの結果、図18(E)に示すように前記InP埋込層106₁、106₂の表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、10

6dに変化するとともに、前記平坦化面106c、106dは前記InGaAsコンタクト層104の表面に実質的に一致する平坦面を形成する。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正内容】

【0087】本実施例においても前記埋込層106₁、106₂は、図18(E)の段階において前記コンタクト層104と共通の平坦面を形成するため、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【第5実施例】図19(A)～図20(E)は本発明の第5実施例によるBH構造を有するレーザダイオードの製造工程を示す。ただし図19(A)～図20(E)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正内容】

【0090】図20(E)の工程において、前記エッチャント中における塩酸と酢酸と水の混合比は例えば1:5:1に設定され、エッチングは液温23° Cで典型的には2分間行われる。かかるエッチングの結果、図20(E)に示すように前記InP埋込層106₁、106₂の表面106a、106bは(100)面あるいはその近傍の指数を有する平坦化面106c、106dに変化するとともに前記InP層104Bが実質的に同じ速度でエッチングされ、前記平坦化面106c、106dは前記InGaAsコンタクト層104の表面に実質的に一致する平坦面を形成する。

【手続補正19】

【補正対象書類名】図面

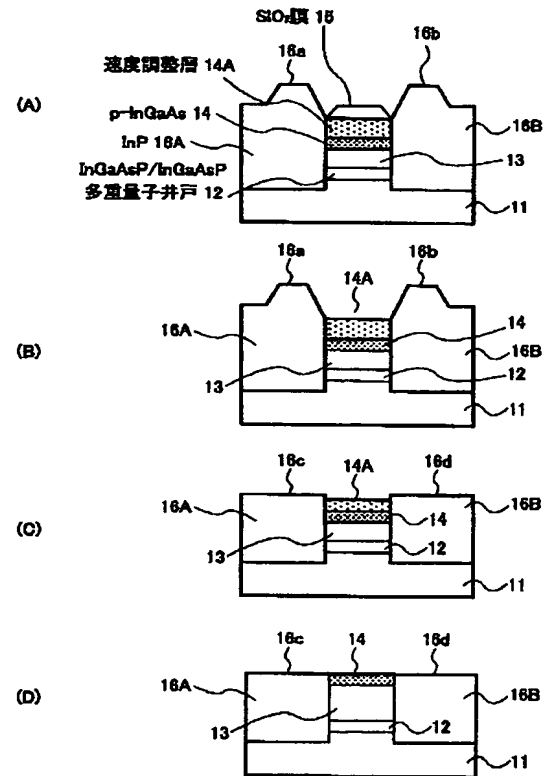
【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】

(A)～(D)は本発明による半導体装置の製造方法における第1の基本類型を示す図



【手続補正20】

【補正対象書類名】図面

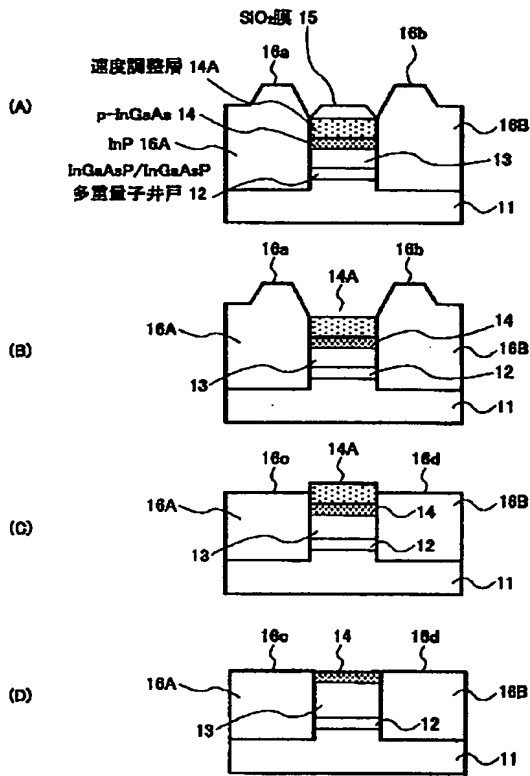
【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】

(A)～(D)は本発明による半導体装置の製造方法における第2の基本類型を示す図



【手続補正21】

【補正対象書類名】図面

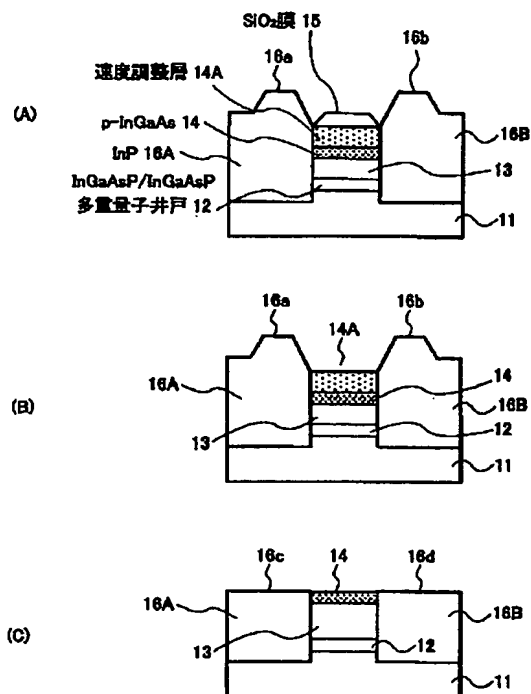
【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】

(A)～(C)は本発明による半導体装置の製造方法における第3の基本類型を示す図



【手続補正22】

【補正対象書類名】図面

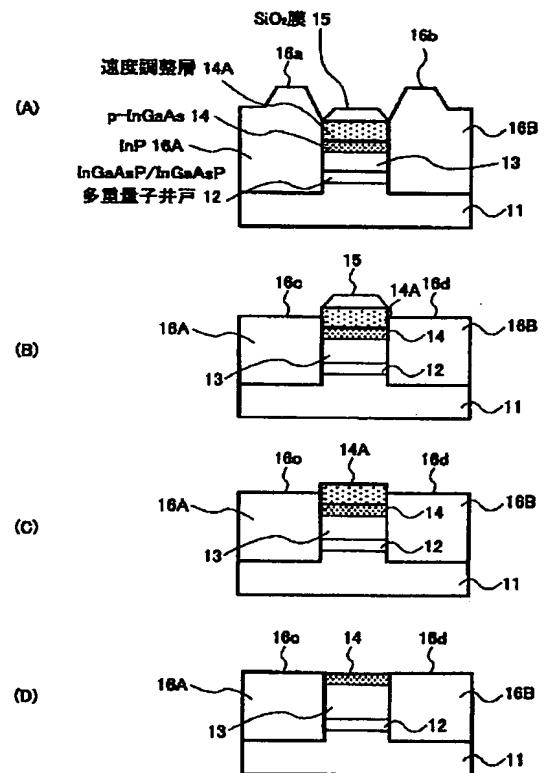
【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】

(A)～(D)は本発明による半導体装置の製造方法における第4の基本類型を示す図



【手続補正23】

【補正対象書類名】図面

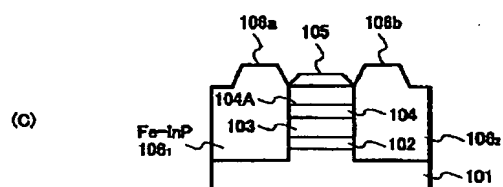
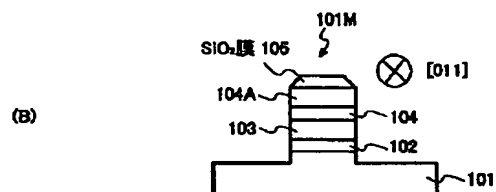
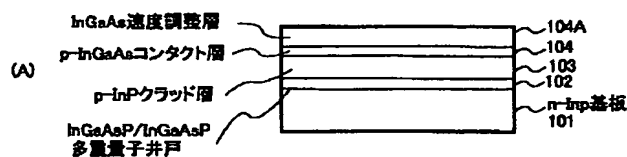
【補正対象項目名】図15

【補正方法】変更

【補正内容】

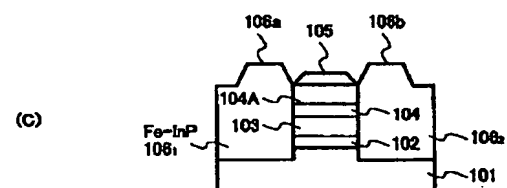
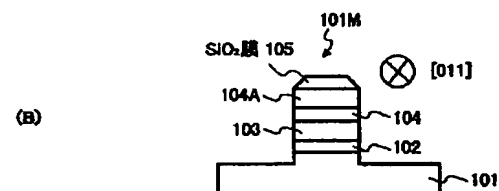
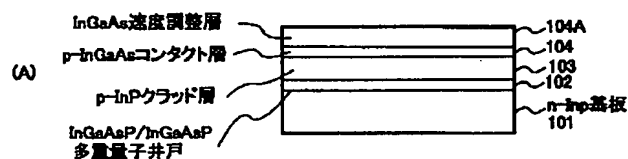
【図15】

(A)～(C)は本発明の第3実施例による
レーザダイオードの製造工程を示す図（その1）



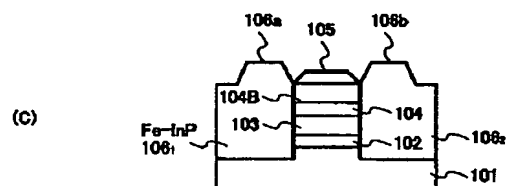
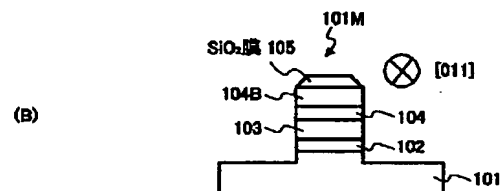
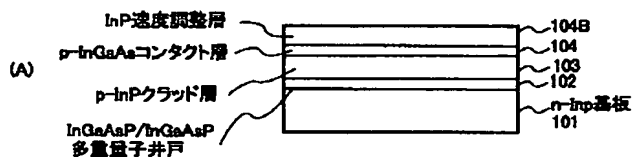
【手続補正24】
【補正対象書類名】図面
【補正対象項目名】図17
【補正方法】変更
【補正内容】
【図17】

(A)～(C)は本発明の第4実施例による
レーザダイオードの製造工程を示す図（その1）



【手続補正25】
【補正対象書類名】図面
【補正対象項目名】図19
【補正方法】変更
【補正内容】
【図19】

(A)～(C)は本発明の第5実施例による
レーザダイオードの製造工程を示す図（その1）



フロントページの続き

(72)発明者 長谷川 太郎

山梨県中巨摩郡昭和町大字紙漉阿原1000番

地 富士通カンタムデバイス株式会社内

(72)発明者 藤井 卓也

山梨県中巨摩郡昭和町大字紙漉阿原1000番

地 富士通カンタムデバイス株式会社内

Fターム(参考) 5F073 AA22 AA51 AA74 CA12 DA05

DA23 DA24 DA35 EA29